Joan San Bartolomé Ferri

Ingeniero de Diseño Digital (RTL) | Verilog/SystemVerilog · FPGA · UART · C embebido



+34 644 38 87 29 · josanbart@gmail.com · linkedin.com/in/joan-san-bartolome-ferri-358818252 · github.com/JoanSanbartolome
Valencia, España

Perfil profesional

Ingeniero electrónico cursando el Máster Universitario en Ingeniería de Sistemas Electrónicos en la UPV (fin previsto: enero de 2027), centrado en el diseño RTL en Verilog/SystemVerilog para FPGA. He diseñado un filtro crossover IIR de 48 kHz/24 bits en tiempo real con UART propia, verificado bit a bit contra un golden model en Python y que ocupa el 8,7 % de las LUT de la FPGA. También he desarrollado una FIFO síncrona con un banco de pruebas con estímulos aleatorios restringidos (100 % de cobertura funcional) y un SoC Nios II con periféricos propios en Verilog y firmware en C, y he diseñado PCB en Altium (4 capas) y KiCad.

Formación

Máster Universitario en Ingeniería de Sistemas Electrónicos — *09/2025 – 01/2027 (previsto)*
Universitat Politècnica de València — Valencia

Máster en IA Aplicada y Optimización de Procesos Productivos — *04/2026 – 10/2026*
Visual Business School — Valencia

Grado en Ingeniería Electrónica Industrial y Automática — *09/2021 – 01/2026*
Universitat Politècnica de València — Valencia

Proyectos

FIFO síncrona: diseño RTL y verificación con estímulos aleatorios restringidos — *09/2026 – 10/2026*
Universitat Politècnica de València (UPV) · Asignatura del máster

SystemVerilog (POO), QuestaSim, Tcl, Git. Equipo de 2. Diseño RTL de una FIFO síncrona parametrizable (WIDTH/DEPTH) a partir de un diagrama ASM sobre RAM de doble puerto. Banco de pruebas orientado a objetos pre-UVM con estímulos aleatorios restringidos, driver, monitor, scoreboard con modelo de referencia y covergroups: 100 % de cobertura funcional (141/141 bins) en 2.550 ciclos frente al 99,79 % de una prueba fija de 10.000 ciclos, sin discrepancias. Regresión automatizada en Tcl (6/6 configuraciones) y validación de los checkers inyectando 3 tipos de fallo con bind y force/release.

Placa de control STM32F746ZG: PCB de 4 capas con impedancia controlada — *02/2026 – 06/2026*

Altium Designer. Proyecto individual del máster (nota 9,5/10). Rediseño a partir de la NUCLEO-F746ZG de ST: esquemático jerárquico, selección de componentes, stack-up de 4 capas con impedancia controlada (CAN 120 Ω, Ethernet MDI 100 Ω, USB FS 90 Ω), acondicionamiento de 0–10 V para el ADC con filtro antialiasing RC y buffer con amplificador operacional, protección ESD, simulación de integridad de señal post-layout y paquete listo para fabricar (Gerbers, BOM, Pick & Place, 174 componentes).

Filtro crossover IIR (Linkwitz-Riley LR4) en FPGA — *02/2026 – 06/2026*

SystemVerilog, Gowin GW1NR-9C (Tang Nano 9K). Crossover de audio en tiempo real a 48 kHz/24 bits en punto fijo Q4.36, con acumuladores de 72 bits y UART propia en RTL a 921.600 bps. Verificado bit a bit contra un golden model en Python; ocupa el 12 % de los registros y el 8,7 % de las LUT.

Osciloscopio digital con adquisición en tiempo real — *02/2026 – 06/2026*

SystemVerilog, Intel Cyclone IV (DE2-115). Equipo de 5. Diseñé la ruta de adquisición y la lógica de trigger: captura continua hasta 60 MHz sin pérdida de muestras mediante un buffer circular RAM/FIFO.

Co-diseño SoC: procesador Nios II con RTOS y periféricos propios — *02/2026 – 06/2026*

Quartus, C, Eclipse. Integración del soft-core Nios II en Platform Designer y de periféricos propios en Verilog sobre el bus Avalon. Firmware multitarea en C sobre un sistema operativo en tiempo real (RTOS).

Controlador inalámbrico de riego por goteo (Trabajo Fin de Grado) — *04/2025 – 01/2026*

KiCad, ESP32-S2, ESPHome. Diseño, fabricación y validación de una PCB de 2 capas: módulo Wi-Fi, 4 salidas de relé aisladas con optoacoplador, convertidor buck de 12 V a 5 V (TPS54202) y entrada para sensor de nivel de 4–20 mA con filtro paso bajo RC (fc ≈ 5,9 Hz), añadido tras medir una señal ruidosa. Firmware en ESPHome con actualizaciones OTA e integración con Home Assistant.

Experiencia laboral

Técnico de mantenimiento electrónico industrial — *07/2024 – 08/2024*
Postres Lácteos Romar (prácticas) — Catadau (Valencia)

- Mantenimiento preventivo y correctivo de maquinaria automatizada en una planta de producción continua, con diagnóstico de fallos en sensores, actuadores y control eléctrico.

Camarero jefe — *01/2021 – actualidad*
Bar Sequial 20

- Coordino el servicio de sala en hora punta (más de 150 comensales) y formo a nuevos camareros, compaginándolo durante más de 5 años con un grado y dos másteres.

Aptitudes

RTL y verificación	Verilog, SystemVerilog (RTL y bancos de pruebas con clases), estímulos aleatorios restringidos, cobertura funcional, modelos de referencia, inyección de fallos
Programación	C, C++, Python, Tcl, MATLAB/Simulink
EDA y FPGA	Intel Cyclone IV, Cyclone V (SoC), Tang Nano 9K (Gowin GW1NR-9C), procesador Nios II · Intel Quartus Prime, Gowin EDA, ModelSim, QuestaSim, Git
Interfaces y buses	En RTL: UART (propia), Avalon, VGA · A nivel de placa: Ethernet (PHY RMII), CAN, USB 2.0 FS, Flash SPI
PCB y embebidos	Altium Designer (4 capas, impedancia controlada), KiCad, diseño de placa STM32F746ZG, ESP32-S2 (ESPHome)
Idiomas	Español, valenciano, inglés B1 (preparando la certificación B2)